

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

U.S. PTO
09/067721
04/28/98

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 7 年 4 月 3 0 日

出 願 番 号

Application Number:

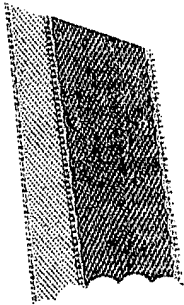
平成 9 年特許願第 1 1 2 1 1 7 号

出 願 人

Applicant (s):

日本電気株式会社

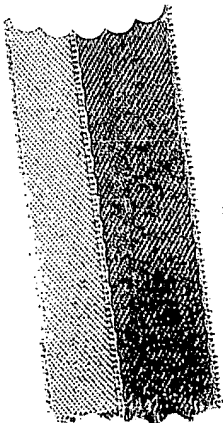
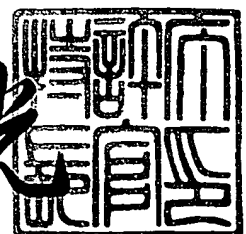
PRIORITY DOCUMENT
CERTIFIED COPY OF



1 9 9 8 年 2 月 2 0 日

特 許 庁 長 官
Commissioner,
Patent Office

荒井 寿光



出証番号 出証特平 1 0 - 3 0 0 6 5 2 6

【書類名】 特許願

【整理番号】 68501253

【提出日】 平成 9年 4月30日

【あて先】 特許庁長官 荒井 寿光 殿

【国際特許分類】 G06F 13/12

【発明の名称】 ビデオデータ転送方式

【請求項の数】 3

【発明者】

【住所又は居所】 東京都港区芝5丁目7番1号 日本電気株式会社内

【氏名】 山本 卓郎

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代表者】 金子 尚志

【代理人】

【識別番号】 100085235

【郵便番号】 135

【住所又は居所】 東京都江東区富岡1丁目24番5号 さのやビル4階

【弁理士】

【氏名又は名称】 松浦 兼行

【電話番号】 03-5245-9287

【手数料の表示】

【予納台帳番号】 031886

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9304200

特平 9-112117

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ビデオデータ転送方式

【特許請求の範囲】

【請求項1】 ビデオプロセッサにより所定の処理が施されたビデオデータを、フレームバッファを経由してディスプレイに転送するリアルタイム出力経路と、前記リアルタイム出力経路とは独立して前記ビデオデータをシステムバスを経由してシステムメモリへ転送するキャプチャリング専用経路とを有することを特徴とするビデオデータ転送方式。

【請求項2】 前記リアルタイム出力経路は、前記ビデオプロセッサからのビデオデータがデータバスを介して入力されて格納するフレームバッファ内のオフスクリーンメモリと、該オフスクリーンメモリから読み出し出力されたビデオデータを前記データバスを介して入力されて拡大及び補完処理を行った後前記ディスプレイへ転送する表示制御回路とからなり、

前記キャプチャリング専用経路は、前記ビデオプロセッサからのビデオデータが入力されてキャプチャ実行時のみゲート開状態とされるゲートと、前記ゲートを通じた前記ビデオデータを蓄積した後前記システムバスへ転送するメモリ手段とからなることを特徴とする請求項1記載のビデオデータ転送方式。

【請求項3】 前記メモリ手段は、前記システムバスが他の装置に占有されていないならば蓄積した前記ビデオデータを該システムバスに転送し、該システムバスが他の装置に占有されているときは蓄積した前記ビデオデータに1フィールド又は1フレームの区切りがあるか否か調べ、該区切りがあるときは前記ゲートを閉じてデータ転送を停止し、該区切りがないときは前記ゲートを通ずる次のビデオデータを蓄積することを特徴とする請求項2記載のビデオデータ転送方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はビデオデータ転送方式に係り、特にビデオ入力機能を持つグラフィックアクセラレータ等の装置におけるビデオデータ転送方式に関する。

【0002】

【従来の技術】

図3は従来のビデオデータ転送方式の一例のブロック図を示す。同図において、ビデオデコーダ11によりデコードして得られたビデオデータは、ビデオポート12を介してビデオ入力機能を持つグラフィックアクセラレータ30に入力される。グラフィックアクセラレータ30は、ビデオプロセッサ21、表示制御回路22及びFIFOメモリ24からなり、入力されたビデオデータをビデオプロセッサ21により所定の信号処理を行った後、フレームバッファのデータバス13を介してフレームバッファ14へ出力し、内部のオフスクリーンメモリ15に蓄積する。

【0003】

オフスクリーンメモリ15に蓄えられたビデオデータは、通常フレームバッファのデータバス13を介してグラフィックアクセラレータ30内の表示制御回路22に供給され、ここで表示に適した信号処理が行われた後、ディスプレイ16に供給されて表示される。フレームバッファのデータバス13と、フレームバッファ14と、オフスクリーンメモリ15と、表示制御回路22はリアルタイム出力経路25を構成している。

【0004】

また、フレームバッファのデータバス13を経由したオフスクリーンメモリ15からのビデオデータは、ビデオキャプチャ時にビデオデータを出力する経路27を構成するグラフィックアクセラレータ30内のFIFOメモリ24に供給されて一時記憶された後、コンピュータなどのシステムバス17へ出力され、これよりシステムメモリ18に転送される。

【0005】

【発明が解決しようとする課題】

しかるに、上記の従来のビデオデータ転送方式では、フレームバッファのデータバス13がディスプレイ16に表示するビデオデータのアクセスのためにかかる時間占有されてしまうため、フレームバッファのデータバス13がキャプチャリングのボトルネックとなり、キャプチャリングレートの向上を妨げてしまう

【0006】

また、上記の従来のビデオデータ転送方式は、ビデオキャプチャ実行中はフレームバッファのデータバス13がシステムメモリ18に転送されるビデオデータに占有され、オフスクリーンメモリ15のビデオデータが更新されないため、ビデオキャプチャ実行中はディスプレイ18へのデータ更新が低下し、ビデオ表示レートが低下してしまうという問題がある。

【0007】

本発明は以上の点に鑑みなされたもので、ビデオデータのシステムメモリへのキャプチャリングレートを向上し得るビデオデータ転送方式を提供することを目的とする。

【0008】

また、本発明の他の目的は、ビデオキャプチャ実行中であっても、ディスプレイの表示に影響を及ぼすことのないビデオデータ転送方式を提供することにある。

【0009】

【課題を解決するための手段】

上記の目的を達成するため、本発明は、ビデオプロセッサにより所定の処理が施されたビデオデータを、フレームバッファを経由してディスプレイに転送するリアルタイム出力経路と、リアルタイム出力経路とは独立してビデオデータをシステムバスを経由してシステムメモリへ転送するキャプチャリング専用経路とを有する構成としたものである。

【0010】

本発明では、ビデオプロセッサから出力されたビデオデータを、キャプチャリング専用経路によりフレームバッファを経由することなく、システムバスに転送することができる。

【0011】

また、本発明では、ディスプレイにリアルタイムにビデオデータを転送するリアルタイム出力経路とシステムメモリにビデオデータを転送するキャプチャリン

グ専用経路とを独立させているため、キャプチャリング中であっても、ディスプレイの表示に影響を及ぼすことがない。

【0012】

【発明の実施の形態】

次に、本発明の実施の形態について図面と共に説明する。図1は本発明になるビデオデータ転送方式の一実施の形態のブロック図を示す。図1において、ビデオデコーダ11がビデオポート12を介してビデオ入力機能を持つグラフィックアクセラレータ20に接続され、更にこのグラフィックアクセラレータ20がフレームバッファのデータバス13を介してフレームバッファ14に接続され、システムバス17を介してシステムメモリ18に接続され、更にディスプレイ16に接続されている。グラフィックアクセラレータ20は、ビデオプロセッサ21、表示制御回路22、ゲート23及びFIFOメモリ24を有している。

【0013】

この実施の形態は、ビデオデコーダ11から入力されたビデオデータの縮小などを行うビデオプロセッサ21と、ビデオプロセッサ21より出力されたビデオデータをフレームバッファ14を経由してディスプレイ16へ転送するリアルタイム出力経路25と、同じくビデオプロセッサより出力されたビデオデータシステムメモリ18へ転送するキャプチャリング専用経路26とで構成されている。

【0014】

これらのうち、リアルタイム出力経路25は、ビデオプロセッサ21から出力されたビデオデータをフレームバッファ14に転送するフレームバッファのデータバス13と、ビデオデータを含む画像データ全般を蓄えるフレームバッファ14と、フレームバッファ14の中にありビデオデータを蓄えるオフスクリーンメモリ15と、ビデオデータの拡大、補完などを行い、ディスプレイの出力タイミングを生成する表示制御回路22とで構成されている。

【0015】

また、キャプチャリング専用経路26は、キャプチャリングの制御を行うゲート23と、ビデオデータを蓄えるFIFO（ファースト・イン・フーストアウト，先入れ先出し）メモリ24とで構成されている。

【0016】

次に、この実施の形態の動作について図3のフローチャートを併せ参照して説明する。まず、ビデオデコーダ11によりビデオデータが処理された後（ステップ101）、ビデオプロセッサ21に入力され、ここで縮小などの処理が行われた後（ステップ102）、二つに分岐され、一方はリアルタイム出力経路25に、他方はキャプチャリング専用経路26に入力される。

【0017】

リアルタイム出力経路25に入力されたビデオデータは、フレームバッファ14内のオフスクリーンメモリ15に入力されて格納された後（ステップ103）、オフスクリーンメモリ15から読み出され（ステップ104）、表示制御回路22に供給されて拡大、ビデオとグラフィックの切り換えなどの処理が行われた後（ステップ105）、ディスプレイ16に供給されてリアルタイムで表示される（ステップ106）。

【0018】

一方、キャプチャリング専用経路26に入力されたビデオデータは、キャプチャを実行するかどうか判断し（ステップ107）、キャプチャを実行しないときはゲート23を閉鎖することによりデータ転送を停止し（ステップ113）、キャプチャを実行するときはゲート23を「開」状態とすることにより、データ転送を行い（ステップ108）、FIFOメモリ24に入力して記憶する（ステップ109）。

【0019】

続いて、システムバス17への転送可能が可能化どうか判断し（ステップ110）、転送可能な場合はFIFOメモリ24内のビデオデータは、システムバス17へ転送されてシステムメモリ18に格納される（ステップ111）。一方、ステップ110でシステムバス17への転送が何らかの事情により不可能であると判断された場合は、ビデオデータの1フィールドの区切りに当たるかどうかを垂直同期信号データの有無に基づき判断され（ステップ112）、区切りでないときは引き続きデータ転送を行ってFIFOメモリ24に入力し（ステップ108、109）、区切りであるときはゲート23を「閉」状態に制御してデータ転送

を停止し新たなフレームのキャプチャを中止する（ステップ113）。

【0020】

このように、この実施の形態では、ビデオプロセッサ21から出力されたビデオデータはフレームバッファ14を経由することなく、キャプチャリング専用経路26を経てシステムバス17に転送されるから、リアルタイム出力経路25の状態にかかわらず、ビデオデータのシステムメモリ18へのキャプチャリングを実行させることができる。

【0021】

また、キャプチャリング専用経路26とは独立したリアルタイム出力経路25を経てビデオデータをディスプレイ16に供給できるので、キャプチャリング中であるか否かに関係なく、ディスプレイ16に一定レートでビデオ表示させることができる。

【0022】

【実施例】

次に、本発明の実施例の構成について図1を参照して詳細に説明する。ビデオ入力機能を持つグラフィックアクセラレータ20は、一つの大規模半導体集積回路（LSI）として実現され、その内部にYUV16ビットによるビデオデータを表示サイズに合わせて縮小する機能を持つビデオプロセッサ21と、ビデオプロセッサ21から出力されるビデオデータをフレームバッファ14を経由させ表示制御回路22へ転送する機能を持つ64ビット内部バス構成のリアルタイム出力経路25と、ビデオプロセッサ21から出力されるビデオデータをFIFOメモリ24へと転送する機能を持つ32ビット内部バス構成のキャプチャリング専用経路26とで構成される。

【0023】

それらのうち、リアルタイム出力経路25は、64ビットのフレームバッファのデータバス13と、ビデオデータを含む画像データ全般を蓄える2Mバイト乃至4Mバイトのフレームバッファ14と、フレームバッファ14の内部にありビデオデータを蓄える部分である容量不定のオフスクリーンメモリ15と、ビデオデータとその他のグラフィック画像データとのスイッチング機能及びビデオデー

タを表示サイズに合わせて拡大する機能及び補完機能及びアナログRGB信号へのデジタル／アナログ変換機能を持つ表示制御回路22とで構成される。

【0024】

一方、キャプチャリング専用経路26は、FIFOメモリ24のイネーブル／ディスイネーブル制御機能を持つゲート23と、32ビット×640段（YUV16ビット、ビデオデータ2ライン分）の容量を持つFIFOメモリ24とで構成される。

【0025】

次に、本発明の実施例の動作について図1及び図2と共に説明する。NTSC方式アナログビデオ信号が入力されたビデオデコーダ11は、入力ビデオ信号をYUV16ビットのデジタルビデオデータに変換し（ステップ101）、ビデオプロセッサ21に転送し、表示サイズに合わせてビデオデータの縮小処理をさせる（ステップ102）。ビデオプロセッサ21の出力ビデオデータはリアルタイム出力経路25とキャプチャリング専用経路26にそれぞれ分岐して入力される。

【0026】

リアルタイム出力経路25に入力されたビデオデータは、オフスクリーンメモリ15に入力されて一旦記憶された後（ステップ103）、出力され（ステップ104）、表示制御回路22に入力されて拡大処理や補完処理（インターレース画像に対応したYUV16ビット画像データをノンインターレース画像対応に変更）、ビデオデータとその他のグラフィックデータとのスイッチング、及びアナログRGB信号へのデジタル／アナログ変換処理が施される（ステップ105）。アナログRGB信号とされたビデオデータは、ディスプレイ16に出力されて表示される（ステップ106）。

【0027】

一方、キャプチャリング専用経路26では、入力されたビデオデータについてキャプチャを実行するかどうかを判断し（ステップ107）、実行しない場合はゲート23を閉鎖してデータ転送を停止し（ステップ113）、実行する場合はゲート23内のFIFOメモリ制御回路がFIFOメモリ24にイネーブル信号

を与え、ビデオデータをFIFOメモリ24に蓄積させる（ステップ108、109）。

【0028】

続いて、PCIバスなどのコンピュータのシステムバス17がコンピュータ内の他の装置に占有されているか否かを調べ（ステップ110）、PCIバスがコンピュータ内の他の装置に占有されていなければ転送可能であるので、FIFOメモリ24内のデータをPCIバスを経由させてコンピュータのシステムメモリ18に転送する（ステップ111）。

【0029】

一方、PCIバスがコンピュータ内の他の装置に占有されているときは、FIFOメモリ24内のビデオデータにビデオデータ1フィールドの区切りがあるかどうか調べられ（ステップ112）、1フィールドの区切りがある場合はデータ転送停止の処理がとられ（ステップ113）、1フィールドの区切りがない場合はステップ108に戻り、再びFIFOメモリ24へのビデオデータの転送が行われる。

【0030】

FIFOメモリ24はビデオデータが入力され（ステップ109）、これを一時記憶した後ビデオデータを出力するが（ステップ110）、FIFOメモリ24への入力の変幅はコンスタントに約18Mbps、出力の変幅は最大132Mbpsであり、正常な動作時にFIFOメモリ24がオーバーフローすることはない。なお、ステップ112において、フレームの区切りの有無を検出することも可能である。

【0031】

【発明の効果】

以上説明したように、本発明によれば、ビデオプロセッサから出力されたビデオデータを、フレームバッファを経由することなくシステムバスに転送することができるため、フレームバッファを含むリアルタイム出力経路の状態にかかわらずビデオデータのシステムメモリへのキャプチャリングを実行させることができ、よって、ビデオデータのシステムメモリへのキャプチャリングレートを向上さ

せることができる。

【0032】

また、本発明によれば、ディスプレイにリアルタイムにビデオデータを転送するリアルタイム出力経路とシステムメモリにビデオデータを転送するキャプチャリング専用経路とを独立させて、キャプチャリング中であっても、ディスプレイの表示に影響を及ぼすことがないようにしたため、キャプチャリング中であるか否かにかかわらず、一定レートでのディスプレイへのビデオ表示を実現することができ、これにより、キャプチャリング中にディスプレイでのビデオ表示が途切れ途切れになるという現象を未然に防止することができる。

【図面の簡単な説明】

【図1】

本発明の一実施の形態のブロック図である。

【図2】

図1の動作説明用フローチャートである。

【図3】

従来の一例のブロック図である。

【符号の説明】

- 11 ビデオデコーダ
- 12 ビデオポート
- 13 フレームバッファのデータバス
- 14 フレームバッファ
- 15 オフスクリーンメモリ
- 16 ディスプレイ
- 17 システムバス
- 18 システムメモリ
- 20 ビデオ入力機能を持つグラフィックアクセラレータ
- 21 ビデオプロセッサ
- 22 表示制御回路
- 23 ゲート

24 FIFOメモリ

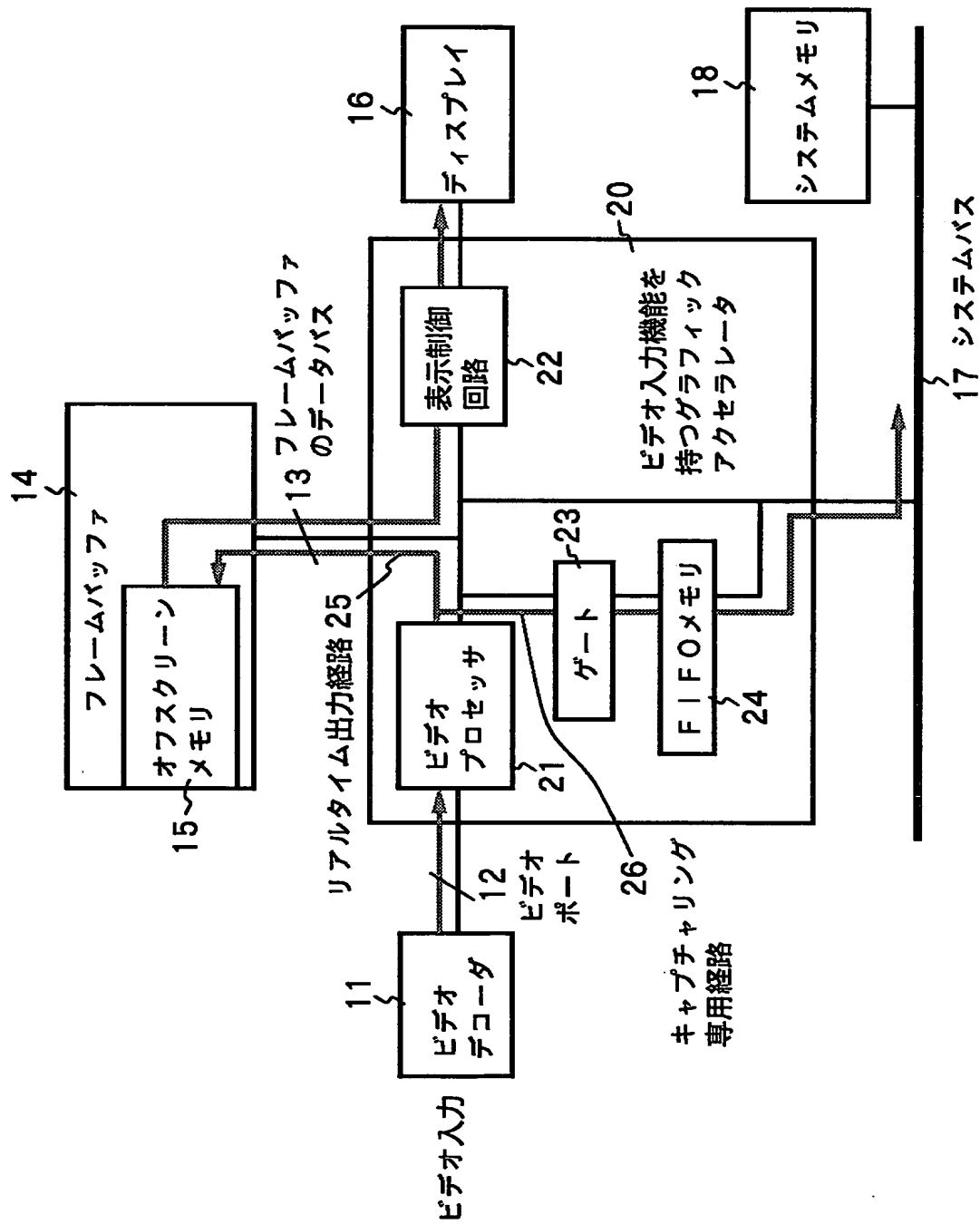
25 リアルタイム出力経路

26 キャプチャリング専用経路

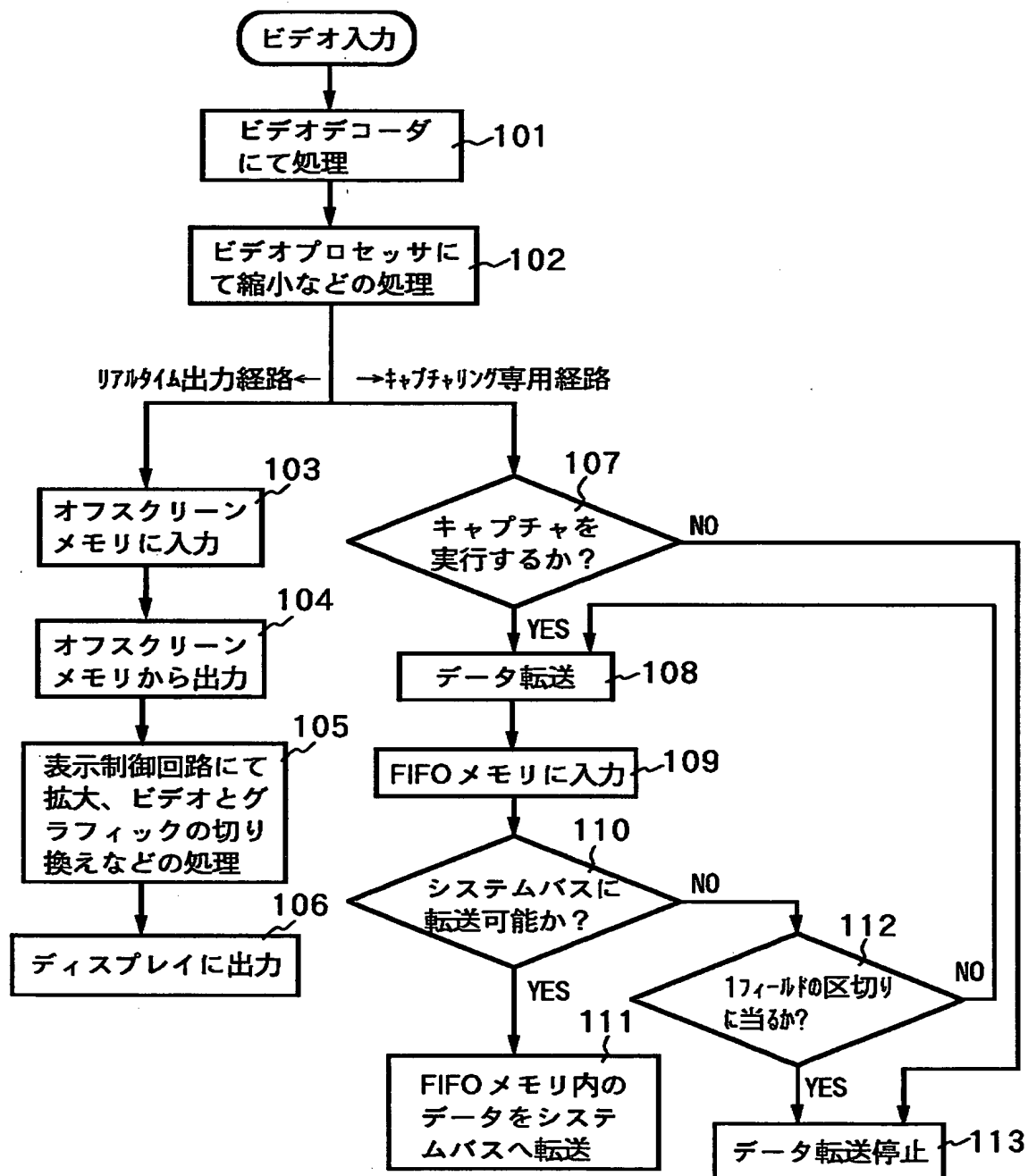
【書類名】

図面

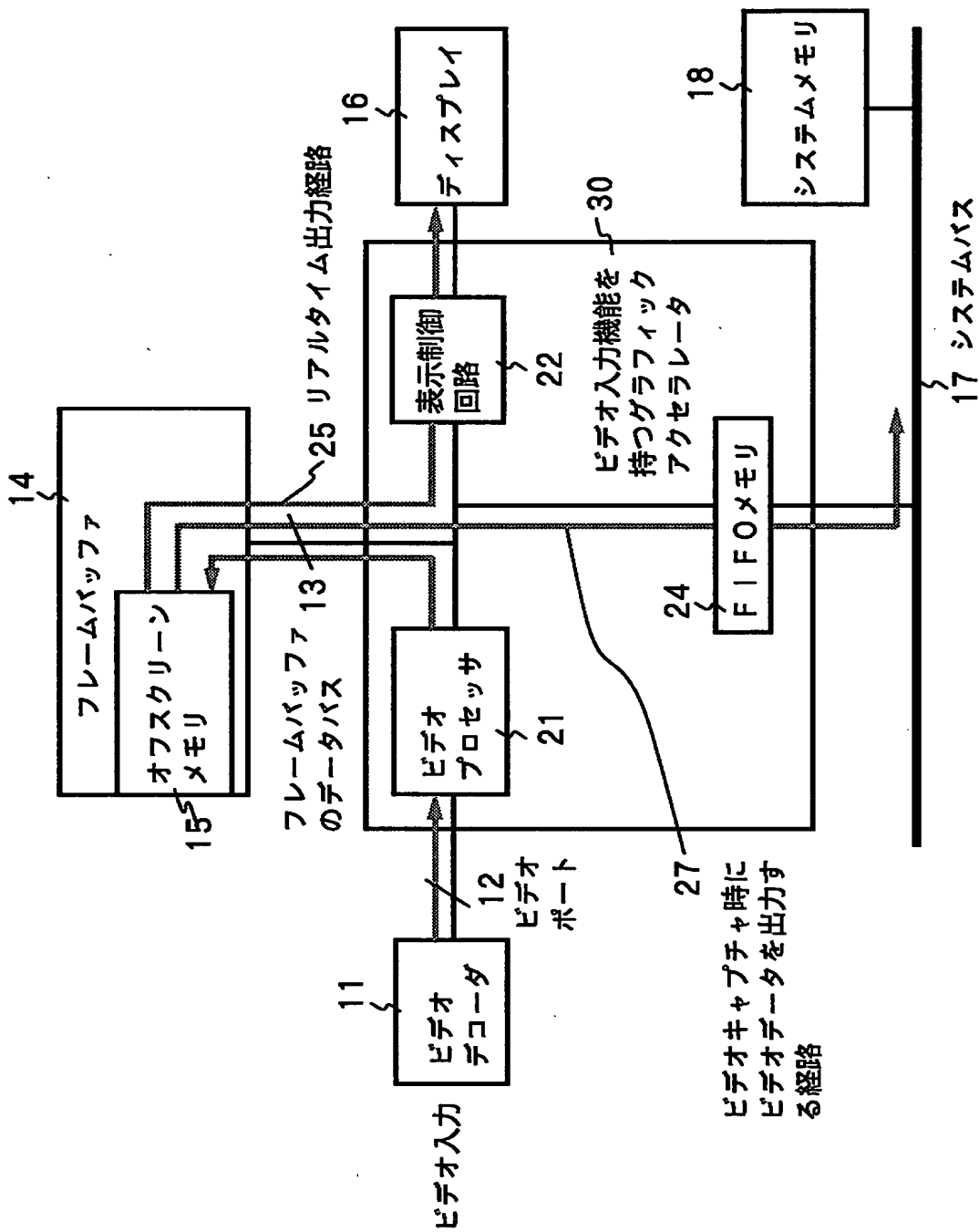
【図1】



【図2】



【図3】



【書類名】 要約書

【要約】

【課題】 従来は、フレームバッファのデータバスがキャプチャリングのボトルネックとなり、キャプチャリングレートの向上を妨げ、また、ビデオキャプチャ実行中は、ビデオ表示レートが低下してしまう。

【解決手段】 ビデオプロセッサ21から出力されたビデオデータは、フレームバッファ14を経由することなく、キャプチャリング専用経路26を経てシステムバス17に転送されるから、リアルタイム出力経路25の状態にかかわらず、ビデオデータのシステムメモリ18へのキャプチャリングを実行させることができる。また、キャプチャリング専用経路26とは独立したリアルタイム出力経路25を経てビデオデータをディスプレイ16に供給できるので、キャプチャリング中であるか否かに関係なく、ディスプレイ16に一定レートでビデオ表示させることができる。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000004237

【住所又は居所】 東京都港区芝五丁目7番1号

【氏名又は名称】 日本電気株式会社

【代理人】 申請人

【識別番号】 100085235

【住所又は居所】 東京都江東区富岡1丁目24番5号 さのやビル4
階 松浦特許事務所

【氏名又は名称】 松浦 兼行

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社